

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Hirokazu SEKINE

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: CMOS IMAGE SENSOR

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-298662	October 11, 2002

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)  
 are submitted herewith  
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

46975705USAAT

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年10月11日

出願番号

Application Number:

特願2002-298662

[ ST.10/C ]:

[JP2002-298662]

出願人

Applicant(s):

岩手東芝エレクトロニクス株式会社  
株式会社東芝

2003年 5月23日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3038198

【書類名】 特許願  
【整理番号】 46B00X0381  
【提出日】 平成14年10月11日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 27/08  
【発明の名称】 CMOSイメージセンサ  
【請求項の数】 4  
【発明者】  
【住所又は居所】 岩手県北上市北工業団地6番6号 岩手東芝エレクトロニクス株式会社内  
【氏名】 関根 弘一  
【特許出願人】  
【識別番号】 000158150  
【氏名又は名称】 岩手東芝エレクトロニクス株式会社  
【特許出願人】  
【識別番号】 000003078  
【氏名又は名称】 株式会社 東芝  
【代理人】  
【識別番号】 100081732  
【弁理士】  
【氏名又は名称】 大胡 典夫  
【選任した代理人】  
【識別番号】 100075683  
【弁理士】  
【氏名又は名称】 竹花 喜久男  
【選任した代理人】  
【識別番号】 100084515  
【弁理士】  
【氏名又は名称】 宇治 弘

【手数料の表示】

【予納台帳番号】 009427

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0004103

【包括委任状番号】 0001435

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 CMOSイメージセンサ

【特許請求の範囲】

【請求項1】 対をなす2つのフォトダイオードと、読み出しトランジスタ、リセットトランジスタ、選択トランジスタを備えるユニットセルを、垂直方向、水平方向に二次元的に所定ピッチで略格子状に複数配置してなるCMOSイメージセンサにおいて、前記ユニットセルの2つの前記フォトダイオードを垂直方向に離間配置すると共に、離間した2つの前記フォトダイオード間に、ドレインとなるフローティング拡散領域を共通にする前記読み出しトランジスタを各フォトダイオードに対応させるよう設け、前記読み出しトランジスタのゲートに加えられた読み出し信号に応じて前記フォトダイオードからの信号を、前記フローティング拡散領域に転送し、さらに転送後の前記フローティング拡散領域の電位を、前記フローティング拡散領域に隣接して設けた前記リセットトランジスタによってリセットするようにしたことを特徴とするCMOSイメージセンサ。

【請求項2】 前記ユニットセルの各フォトダイオードに対応する前記読み出しトランジスタのそれぞれのゲートが、前記フォトダイオードの間に設けられたフローティング拡散領域を垂直方向両側から挟むようにして、対向配置されていることを特徴とする請求項1記載のCMOSイメージセンサ。

【請求項3】 前記ユニットセルの各フォトダイオードに対応する前記読み出しトランジスタのそれぞれのゲートが、前記フォトダイオードに対し共通に設けられた略方形状のフローティング拡散領域の隣り合う辺に沿って、互いに直交するように設けられていると共に、前記フローティング拡散領域に隣接してリセットトランジスタが設けられていることを特徴とする請求項1記載のCMOSイメージセンサ。

【請求項4】 前記リセットトランジスタのドレインと前記選択トランジスタのドレインを、共通の拡散領域によって構成したことを特徴とする請求項1記載のCMOSイメージセンサ。

【発明の詳細な説明】

【0001】

## 【発明の属する技術分野】

本発明は、例えばデジタルカメラやモバイル機器等のカメラシステムの固体撮像装置に好適するCMOSイメージセンサに関する。

## 【0002】

## 【従来の技術】

周知の通り、CMOSイメージセンサには、例えば画素である2つのフォトダイオードと画素アンプを備えるユニットセルを二次元的に略正格子状に配置して画素部を構成し、また画素部の周辺部にタイミング発生回路と、垂直ライン走査回路、ノイズキャンセル回路、さらに水平ライン走査回路、出力アンプを有する読み出し部を配置したものがある。

## 【0003】

以下、従来例を図3及び図4を参照して説明する。図3は要部の回路図であり、図4は要部のレイアウトを示す図である。

## 【0004】

図3及び図4において、CMOSイメージセンサの画素部1は、複数のユニットセルCeを二次元的に略正格子状に配置して構成されており、1ユニットセルCeの画素が2つの第1及び第2のフォトダイオード2a, 2bで構成されている。そして、回路構成は、図3に示すように、2つの第1及び第2のフォトダイオード2a, 2bは、それぞれに対応して設けられた読み出しトランジスタ3a, 3bのソースに接続されており、また各読み出しトランジスタ3a, 3bのゲート4a, 4bには、それぞれ読み出しパルスを供給する読み出し線5a, 5bが接続されている。

## 【0005】

また、読み出しトランジスタ3a, 3bのドレインは、共通のフローティング拡散領域6で形成されており、フローティング拡散領域6は、増幅トランジスタ7のゲート8とリセットトランジスタ9のソース10に接続されている。また増幅トランジスタ7のドレイン11は、選択トランジスタ12のソースと共にとなっており、選択トランジスタ12のドレイン13は、電源線14に接続され、選択トランジスタ12のゲート15には、選択パルスを供給する選択線16が接続

されている。さらに増幅トランジスタ7のソースは、ソース拡散領域17で形成され、このソース拡散領域17には、信号線18が接続されている。

## 【0006】

一方、リセットトランジスタ9のドレインは、隣接するユニットセルCeの選択トランジスタ12のドレイン13と共に通で、リセットドレイン電圧源の電源線14に接続されており、リセットトランジスタ9のゲート19には、リセットパルスを供給するリセット線20が接続されている。

## 【0007】

また、レイアウトは、図4に示すように、共に方形をなす第1のフォトダイオード2a、または第2のフォトダイオード2bのみを、所定間隔で水平方向に配置し、また垂直方向には、第1のフォトダイオード2aと第2のフォトダイオード2bを交互に所定間隔で配置したものとなっている。そして、同一ユニットセルCeの垂直方向に隣接する第1のフォトダイオード2aと第2のフォトダイオード2bとの間には、フローティング拡散領域6を間に挟むようにして、パターンの中間部に読み出しトランジスタ3a、3bのゲート4a、4bが形成された読み出しパルスを供給する読み出し線5a、5bが、水平方向に延在するように設けられている。

## 【0008】

また、第1のフォトダイオード2aの垂直方向上方側には、パターンの中間部にリセットパルスが供給されるリセットトランジスタ9のゲート19とが形成されたリセット線20が、所定間隔を設けて水平方向に延在するように設けられている。一方、第2のフォトダイオード2bの垂直方向下方側には、下方側に隣接するユニットセルCeの第1のフォトダイオード2aとの間に、パターンの中間部に選択パルスが供給される選択トランジスタ12のゲート15が形成された選択線16が、同じ隣接するユニットセルCeのリセット線20との間に所定間隔を設け水平方向に延在するように設けられている。

## 【0009】

さらに、リセットトランジスタ9のゲート19が設けられたリセット線20の中間部には、その下側にソース10、上側に隣接するユニットセルCeの選択ト

ランジスタ12のドレイン13と共に通のドレインが形成されている。また、第2のフォトダイオード2bを間に挟む読み出し線5bと選択線16の間には、第2のフォトダイオード2bの近傍に増幅トランジスタ7のゲート8が形成されており、ゲート8の垂直方向上側に増幅トランジスタ7のソース拡散領域17が、また下側には選択線16との間に選択トランジスタ12のソースである増幅トランジスタ7のドレイン11が形成されている。

#### 【0010】

またさらに、選択トランジスタ12のソースに対応して、選択線16と垂直方向下方側に隣接するユニットセルCeのリセット線20との間には、隣接するユニットセルCeのリセットトランジスタ9のドレインである選択トランジスタ12のドレイン13が形成されている。

#### 【0011】

そして、上記のように構成されたパターンの各ユニットセルCeには、垂直方向に配列された各ユニットセルCeのリセットトランジスタ9のドレインである選択トランジスタ12のドレイン13に対し、それぞれを相互に接続するようA1配線による電源線14が配線されている。また同じく、垂直方向に配列された各ユニットセルCeの増幅トランジスタ7のソース拡散領域17に対しては、読み出しパルスによって読み出された信号を出力する信号線18が、A1配線によってそれぞれを接続するように配線されている。

#### 【0012】

さらに、各ユニットセルCe毎に、フローティング拡散領域6と増幅トランジスタ7のゲート8及びリセットトランジスタ9のソース10には、これらをそれぞれ接続するように、例えばフローティング拡散領域6と増幅トランジスタ7のゲート8を接続する接続線21と、フローティング拡散領域6とリセットトランジスタ9のソース10を接続する接続線22とが、A1配線によって配線されている。なお、上記各トランジスタ3a, 3b, 7, 9, 12のゲート4a, 4b, 8, 15, 19は、多結晶シリコンによって形成されている。

#### 【0013】

しかしながら上記の従来技術においては、1つのユニットセルCeを第1のフ

オトダイオード2aと第2のフォトダイオード2b、さらに読み出しトランジスタ3a, 3b、増幅トランジスタ7、リセットトランジスタ9、選択トランジスタ12で構成し、これに対し、読み出し線5a, 5b、選択線16、リセット線20を同一面にレイアウトするように形成し、電源線14、信号線18、接続線21, 22をA1配線によって設けなければならなかった。このため、第1のフォトダイオード2aと第2のフォトダイオード2bの面積が、ユニットセルCe全体の面積の20%～30%程度しか取れず、またセンサの解像度を向上させるべく高集積化を図ろうとした場合、その実現は難しく、自ずと解像度向上等の点で限界があった。

#### 【0014】

##### 【発明が解決しようとする課題】

上記のような状況に鑑みて本発明はなされたもので、その目的とするところはユニットセルを構成する素子や配線等を効率的に配置し、素子や配線等を特に小さくしたり、細線化したりすることなく高集積化できて、解像度等を向上させることができるCMOSイメージセンサを提供することにある。

#### 【0015】

##### 【課題を解決するための手段】

本発明のCMOSイメージセンサは、対をなす2つのフォトダイオードと、読み出しトランジスタ、リセットトランジスタ、選択トランジスタを備えるユニットセルを、垂直方向、水平方向に二次元的に所定ピッチで略格子状に複数配置してなるCMOSイメージセンサにおいて、前記ユニットセルの2つの前記フォトダイオードを垂直方向に離間配置すると共に、離間した2つの前記フォトダイオード間に、ドレインとなるフローティング拡散領域を共通にする前記読み出しトランジスタを各フォトダイオードに対応させるよう設け、前記読み出しトランジスタのゲートに加えられた読み出し信号に応じて前記フォトダイオードからの信号を、前記フローティング拡散領域に転送し、さらに転送後の前記フローティング拡散領域の電位を、前記フローティング拡散領域に隣接して設けた前記リセットトランジスタによってリセットするようにしたことを特徴とするものであり、

さらに、前記ユニットセルの各フォトダイオードに対応する前記読み出しトランジスタによってリセットするようにしたことを特徴とするものであり、

ンジスタのそれぞれのゲートが、前記フォトダイオードの間に設けられたフローティング拡散領域を垂直方向両側から挟むようにして、対向配置されていることを特徴とするものであり、

さらに、前記ユニットセルの各フォトダイオードに対応する前記読み出しトランジスタのそれぞれのゲートが、前記フォトダイオードに対し共通に設けられた略方形状のフローティング拡散領域の隣り合う辺に沿って、互いに直交するように設けられていると共に、前記フローティング拡散領域に隣接してリセットトランジスタが設けられていることを特徴とするものであり、

さらに、前記リセットトランジスタのドレインと前記選択トランジスタのドレインを、共通の拡散領域によって構成したことを特徴とするものである。

#### 【0016】

##### 【発明の実施の形態】

以下本発明の実施の形態を、図面を参照して説明する。

#### 【0017】

先ず第1の実施形態を、その要部のレイアウトを示す図1により説明する。なお、従来と同一部分には同一符号を付して説明を省略し、従来と異なる本実施形態の構成について説明する。

#### 【0018】

図1において、CMOSイメージセンサの画素部101は、複数のユニットセルCe<sub>1</sub>を二次元的に略正格子状に配置して構成されており、1ユニットセルCe<sub>1</sub>の画素が2つの第1及び第2のフォトダイオード2a, 2bで構成され、図3に示す回路構成と同じものとなっている。

#### 【0019】

すなわち、各ユニットセルCe<sub>1</sub>の2つの第1及び第2のフォトダイオード2a, 2bには、それぞれに対応して読み出しトランジスタ3a, 3bが設けられ、各読み出しトランジスタ3a, 3bのゲート4a, 4bに、それぞれ読み出しパルスを供給する読み出し線5a, 5bが接続されており、読み出しトランジスタ3a, 3bのドレインは、共通のフローティング拡散領域6で形成されている。そして、2つの第1及び第2のフォトダイオード2a, 2bに対し、増幅トランジ

ンジスタ7、リセットトランジスタ9、選択トランジスタ12が共通に設けられている。

【0020】

また、レイアウトは、図1に示すように、共に水平方向に長い長方形形状をなす第1のフォトダイオード2a、または第2のフォトダイオード2bのみを、所定間隔で水平方向に配置し、また垂直方向には、同一ユニットセルCe<sub>1</sub>の第1のフォトダイオード2aと第2のフォトダイオード2bとの間には所定間隔を設け、隣接するユニットセルCe<sub>1</sub>の第1のフォトダイオード2aと第2のフォトダイオード2bとが隣接するようにして、第1のフォトダイオード2aと第2のフォトダイオード2bとが交互に位置するように配置されている。

【0021】

そして、第1のフォトダイオード2aと第2のフォトダイオード2bとの間には、水平方向に配列された各ユニットセルCe<sub>1</sub>共通に、第1のフォトダイオード2aの側に読み出しトランジスタ3aのゲート4aが水平方向に延在し、また第2のフォトダイオード2bの側に読み出しトランジスタ3bのゲート4bが同様に水平方向に延在したものとなっている。なお、読み出しトランジスタ3a, 3bのゲート4a, 4bは、多結晶シリコンで形成されており、また、それには読み出しパルスを供給する読み出し線5a, 5bが、対応する端部に接続されている。

【0022】

さらに、読み出しトランジスタ3aのゲート4aと読み出しトランジスタ3bのゲート4bの間には、水平方向に順に方形状のフローティング拡散領域6、所定間隔を設けて増幅トランジスタ7の方形状のソース拡散領域17が配置され、またソース拡散領域17に隣接して増幅トランジスタ7の方形状のゲート8、ゲート8に隣接して増幅トランジスタ7の方形状ドレイン11が配置され、またさらにドレイン11との間に所定間隔を設けて選択トランジスタ12の方形状のドレイン13が、各ユニットセルCe<sub>1</sub>毎に配置されている。

【0023】

一方、読み出しトランジスタ3aのゲート4aと読み出しトランジスタ3bの

ゲート4 bをそれぞれ上層として、それら層の下層には、多結晶シリコンで形成されたリセットトランジスタ9のゲート1 9と選択トランジスタ1 2のゲート1 5とが、それぞれ上層との間に層間絶縁層を設けて水平方向に延在するものとなっている。さらに、リセットトランジスタ9のゲート1 9については、フローティング拡散領域6と水平方向に隣接するユニットセルCe<sub>1</sub>の選択トランジスタ1 2のドレイン1 3の間、あるいは選択トランジスタ1 2のドレイン1 3と水平方向に隣接するユニットセルCe<sub>1</sub>のフローティング拡散領域6の間の下層深さ部分に、垂直方向下方に向け突出する突出部位1 9 aが形成されている。

#### 【0024】

またさらに、選択トランジスタ1 2のゲート1 5については、増幅トランジスタ7のドレイン1 1と選択トランジスタ1 2のドレイン1 3の間の下層深さ部分に、垂直方向上方に向け突出する突出部位1 5 aが形成されている。なお、リセットトランジスタ9のゲート1 9には、リセットパルスを供給するリセット線2 0が、端部に接続されており、また選択トランジスタ1 2のゲート1 5には、選択パルスを供給する選択線1 6が、端部に接続されている。

#### 【0025】

そして、上記のように構成されたレイアウトの各ユニットセルCe<sub>1</sub>には、垂直方向に配列された各ユニットセルCe<sub>1</sub>のリセットトランジスタ9のドレインでもある選択トランジスタ1 2のドレイン1 3に対し、それを相互に接続するようA 1配線による電源線1 4が直接配線されている。また同じく、垂直方向に配列された各ユニットセルCe<sub>1</sub>の増幅トランジスタ7のソース拡散領域1 7に対しては、読み出しパルスによって読み出された信号を出力する信号線1 8が、A 1配線によってそれを接続するように配線されている。さらに、各ユニットセルCe<sub>1</sub>毎に、フローティング拡散領域6と増幅トランジスタ7のゲート8とを接続する接続線2 3が、A 1配線によって配線されている。

#### 【0026】

なお、上記において、増幅トランジスタ7のゲート8については、読み出しトランジスタ3 a, 3 bのゲート4 a, 4 bと同層にして、あるいは、リセットトランジスタ9のゲート1 9と選択トランジスタ1 2のゲート1 5と同層にして、

同じ多結晶シリコンによって形成してもよく、あるいはまた、それぞれ異なる層として、別の多結晶シリコン層、メタル層によって形成してもよい。

#### 【0027】

さらに、こうしたCMOSイメージセンサの概略の動作は、例えば図示しない光学レンズ系等で画素部101に集光、結像され、第1、第2のフォトダイオード2a, 2bで光電変換がなされ、それに応じた信号が出力される。これは、先ず、画素部101の水平方向に並ぶ各ユニットセルCe<sub>1</sub>の1ライン目となる第1のフォトダイオード2aで生成された信号電荷は、読み出しトランジスタ3aのゲート4aに読み出し線5aを通じて読み出しパルスを印加し、ゲート4aを開くことにより、読み出しトランジスタ3aと増幅トランジスタ7のゲート8との接合部のフローティング拡散領域6に転送され蓄積される。

#### 【0028】

こうした信号電荷の蓄積によって、各第1のフォトダイオード2a毎に、その受光量に応じた電位が発生し、この電位が各第1のフォトダイオード2a毎の画素信号となる。なお、信号電荷の読み出しに先立って、フローティング拡散領域6は、リセットトランジスタ9のゲート19にリセット線20を通じてリセットパルスを印加することによって、選択トランジスタ12のドレイン13と共にリセットトランジスタ9のドレインに電源線14の電圧が印加され、所定のリセット電圧にリセットされている。また各フローティング拡散領域6の電圧レベルは、各第1のフォトダイオード2aからの信号電荷が流入することで変化する。

#### 【0029】

また、フローティング拡散領域6が、増幅トランジスタ7のゲート8に接続されているので、フローティング拡散領域6の電位変化は、増幅トランジスタ7以下のチャネル電位の変調を引き起こすことになる。

#### 【0030】

次に、選択トランジスタ12のゲート15に、選択線16を通じて選択パルスを印加し、選択トランジスタ12を選択し、フローティング拡散領域6の電位変化によりチャネル電位変調されている増幅トランジスタ7を、信号線18にて図示しない負荷トランジスタに接続し、信号電荷に対応した信号を読み出し部を通

じて外部に時系列的に出力する。

【0031】

そして、1ライン目の第1のフォトダイオード2aで生成された信号電荷の読み出しが完了した後、フローティング拡散領域6は、再びリセットトランジスタ9のゲート19にリセット線20を通じてリセットパルスを印加することによって、電源線14の所定のリセット電圧にリセットされる。

【0032】

その後、第2の読み出しトランジスタ3bのゲート4bに読み出し線5bを通じて読み出しパルスを印加し、画素列の2ライン目となる第2のフォトダイオード2bで生成された信号電荷を、フローティング拡散領域6に転送し蓄積する。そして、上記の1ライン目と同様の動作を繰り返すことで、2ライン目の信号電荷に対応した信号の読み出しを行う。

【0033】

さらに、画素列の3ライン目、4ライン目となる垂直方向下方に隣接して水平に並ぶ各ユニットセルCe<sub>1</sub>の第1、第2のフォトダイオード2a、2bについても、信号電荷の読み出しを、フローティング拡散領域6を共通にして、上記1ライン目、2ライン目と同様にして行う。またさらに、それ以降の各ラインについても同様に繰り返すことで、画素部101の画素である全ての第1、第2のフォトダイオード2a、2bについての読み出しを行う。

【0034】

以上の通り構成し、読み出しトランジスタ3a、3bの間に対向配置された読み出しトランジスタ3a、3bのゲート4a、4bの間に、さらにフローティング拡散領域6を設けるようにし、またフローティング拡散領域6に隣接して、これを信号読み取り後に所定電位にリセットするリセットトランジスタ9が設けるようにしているので、従来レイアウトでは要していたフローティング拡散領域6とリセットトランジスタ9のソース10を接続する接続線が不要となる。これにより、ユニットセルCe<sub>1</sub>内の出力回路の高集積化が可能となり、センサ全体としての高集積化が図れ、解像度を向上させることができる。

【0035】

また、第1のフォトダイオード2aと第2のフォトダイオード2bを長い長方形形状とし、間に素子分離領域の幅で決まる所定間隔をおいて水平方向にそれぞれ配置し、また垂直方向には第1のフォトダイオード2aと第2のフォトダイオード2bの間に、共通の出力回路を各ユニットセルCe<sub>1</sub>毎に配置しているので、フォトダイオード間素子分離領域の幅が各フォトダイオード単位で見ると略半減されたことになり、第1のフォトダイオード2aと第2のフォトダイオード2bの面積を大きく取ることができ、ユニットセルCe<sub>1</sub>全体の面積に対する占積率を増加させることができる。

#### 【0036】

次に第2の実施形態を、その要部のレイアウトを示す図2により説明する。なお、従来と同一部分には同一符号を付して説明を省略し、従来と異なる本実施形態の構成について説明する。

#### 【0037】

図2において、CMOSイメージセンサの画素部102は、複数のユニットセルCe<sub>2</sub>を二次元的に略正格子状に配置して構成されており、1ユニットセルCe<sub>2</sub>の画素が2つの第1及び第2のフォトダイオード2a, 2bで構成され、図3に示す回路構成と同じものとなっている。

#### 【0038】

すなわち、各ユニットセルCe<sub>2</sub>の2つの第1及び第2のフォトダイオード2a, 2bには、それぞれに対応して読み出しトランジスタ3a, 3bが設けられ、各読み出しトランジスタ3a, 3bのゲート4a, 4bに、それぞれ読み出しパルスを供給する読み出し線5a, 5bが接続されており、読み出しトランジスタ3a, 3bのドレインは、共通のフローティング拡散領域6で形成されている。そして、2つの第1及び第2のフォトダイオード2a, 2bに対し、増幅トランジスタ7、リセットトランジスタ9、選択トランジスタ12が共通に設けられている。

#### 【0039】

また、レイアウトは、図2に示すように、平行四辺形状をなす第1のフォトダイオード2a、または第2のフォトダイオード2bのみを、所定間隔で水平方向

に配置し、垂直方向にはそれぞれの間に所定間隔を設け、交互に位置するよう第1のフォトダイオード2aと第2のフォトダイオード2bが配置されている。各配置された第1のフォトダイオード2aと第2のフォトダイオード2bは、共に長辺を水平方向に位置させるようにしていると共に、例えば第1のフォトダイオード2aは、下側の長辺が上側の長辺より左方向に位置するように、また第2のフォトダイオード2bでは、下側の長辺が上側の長辺より右方向に位置するように配置され、同一ユニットセルCe<sub>2</sub>における第1のフォトダイオード2aの下側長辺と、第2のフォトダイオード2bの上側長辺とは、垂直方向に所定間隔をおいて対向している。

## 【0040】

そして、同一ユニットセルCe<sub>2</sub>における第1のフォトダイオード2aと第2のフォトダイオード2bとの間には、両フォトダイオード2a、2bの対向する長辺間では、水平方向に、また水平方向に隣接するユニットセルCe<sub>2</sub>との間では、垂直方向下方側に凸となる略直角に曲折する第1のV字状部分24aを設けるようにして、積層構成の下層に多結晶シリコンで形成された読み出しトランジスタ3aのゲート4a、間に層間絶縁層を設けて、その上層に同じく多結晶シリコンで形成された読み出しトランジスタ3bのゲート4bが、それぞれ水平方向に隣接する各ユニットセルCe<sub>2</sub>にも同様設けられるように延在している。

## 【0041】

また一方、垂直方向に隣接するユニットセルCe<sub>2</sub>の間では、第2のフォトダイオード2bの下側長辺と隣接するユニットセルCe<sub>2</sub>の第1のフォトダイオード2aの上側長辺との間に、略両長辺に沿って水平方向に、また水平方向に隣接するユニットセルCe<sub>2</sub>との間では、垂直方向下方側に凸となる略直角に曲折する第2のV字状部分24bを設けるようにして、積層構成の下層に多結晶シリコンで形成されたリセットトランジスタ9のゲート19、間に層間絶縁層を設けて、その上層に同じく多結晶シリコンで形成された選択トランジスタ12のゲート15が、それぞれ水平方向に隣接する各ユニットセルCe<sub>2</sub>にも同様設けられるように延在している。

## 【0042】

これにより、第1のV字状部分24aと第2のV字状部分24b、さらに第1のフォトダイオード2aの右側短辺と水平方向に隣接するユニットセルCe<sub>2</sub>の第2のフォトダイオード2bの左側短辺とによって、略方形状の第1の区画部分25aが、第1のフォトダイオード2aの水平方向右側に隣接して形成され、第2の区画部分25bが、第2のフォトダイオード2bの水平方向右側に第1のV字状部分24aを間に形成される。

#### 【0043】

またさらに、読み出しトランジスタ3aのゲート4aについては、第1のV字状部分24aの開口端から第1の区画部分25a内方に、第1のフォトダイオード2aの右側短辺に沿って直角に突出部位26が、ゲート4aと同一深さで延出しており、またリセットトランジスタ9のゲート19については、水平部分から第1の区画部分25a内方に、根元部分は直角に、また先端部分はゲート4aの突出部位26に直交するよう突出部位27が、ゲート19と同一深さで延出している。なお、ゲート4a突出部位26とゲート19の突出部位27とは、間に層間絶縁層を設けて異なる深さに形成されている。

#### 【0044】

そして、読み出しトランジスタ3a, 3bのゲート4a, 4bには、読み出しパルスを供給する対応する読み出し線5a, 5bが、端部に接続されている。またリセットトランジスタ9のゲート19には、リセットパルスを供給するリセット線20が、端部に接続されており、選択トランジスタ12のゲート15には、選択パルスを供給する選択線16が、端部に接続されている。

#### 【0045】

さらに、第1の区画部分25a内には、リセットトランジスタ9のゲート19の突出部位27先端部分を間に挟むようにして、それぞれ斜めに、読み出しトランジスタ3a, 3bのゲート4a, 4b側に方形状のフローティング拡散領域6が斜めに配置され、リセットトランジスタ9のゲート19、選択トランジスタ12のゲート15側に台形状の選択トランジスタ12のドレイン13が配置されている。

#### 【0046】

また第2の区画部分25b内には、第2のフォトダイオード2bの左側短辺に平行な方形状の増幅トランジスタ7のゲート8を間に挟むようにして、同様にそれぞれ斜めに、第2のフォトダイオード2b側に方形状のソース拡散領域17が配置され、リセットトランジスタ9のゲート19、選択トランジスタ12のゲート15側に方形状の増幅トランジスタ7のドレイン11が配置されている。

#### 【0047】

そして、上記のように構成されたレイアウトの各ユニットセルCe<sub>2</sub>には、垂直方向に配列された各ユニットセルCe<sub>2</sub>のリセットトランジスタ9のドレインでもある選択トランジスタ12のドレイン13に対し、それぞれを相互に接続するようA1配線による電源線14が直接配線されている。また同じく、垂直方向に配列された各ユニットセルCe<sub>2</sub>の増幅トランジスタ7のソース拡散領域17に対しては、読み出しパルスによって読み出された信号を出力する信号線18が、A1配線によってそれを接続するように配線されている。さらに、各ユニットセルCe<sub>2</sub>毎に、フローティング拡散領域6と増幅トランジスタ7のゲート8とを接続する接続線23が、A1配線によって配線されている。

#### 【0048】

以上の通り構成し、読み出しトランジスタ3aのゲート4aと読み出しトランジスタ3bのゲート4bとを上下2層にして水平方向に形成し、またリセットトランジスタ9のゲート19と選択トランジスタ12のゲート15とを同様に上下2層にして水平方向に形成すると共に、各上下2層に積層化されたゲート4a, 4b, 15, 19を垂直方向に交互に配置し、さらに交互配置した間に平行四辺形状をなす第1のフォトダイオード2a、または第2のフォトダイオード2bのみを水平方向に配置し、さらに垂直方向に交互に配置するようにしたので、第1のフォトダイオード2aと第2のフォトダイオード2bの面積を大きく取ることができ、ユニットセルCe<sub>2</sub>全体の面積に対する占積率を増加させることができる。

#### 【0049】

また、読み出しトランジスタ3a, 3b、リセットトランジスタ9、選択トランジスタ12の各ゲート4a, 4b, 19, 15の中間部に、各ユニットセルC

e<sub>2</sub>毎に略直角に曲折する第1、第2のV字状部分24a, 24bを形成して、第1、第2の区画部分25a, 25bを設け、それらの区画部分25a, 25b内に2つの読み出しトランジスタ3a, 3bに共通のフローティング拡散領域6や増幅トランジスタ7のゲート8等を配置している。なお、この時、方形状のフローティング拡散領域6については、水平方向に対して略45度傾けた状態で配置されるので、垂直方向の幅が、約0.7倍に減少したものとなる。

#### 【0050】

これにより、第1のフォトダイオード2aと第2のフォトダイオード2bの垂直方向の配置間隔は、隣接するユニットセルCe<sub>2</sub>における素子分離領域の幅、積層化された読み出しトランジスタ3a, 3b、リセットトランジスタ9、選択トランジスタ12の各ゲート4a, 4b, 19, 15の幅のみで決められることになり、垂直方向における高集積化が可能となる。

#### 【0051】

さらに、第1、第2の区画部分25a, 25b内にフローティング拡散領域6を設けるようにし、またフローティング拡散領域6に隣接して、これを信号読み取り後に所定電位にリセットするリセットトランジスタ9が設けるようにしているので、従来レイアウトでは要していたフローティング拡散領域6とリセットトランジスタ9のソース10を接続する接続線が不要となる。こうした構成することで、ユニットセルCe<sub>2</sub>内の出力回路の高集積化が可能となり、センサ全体としての高集積化が図れ、解像度を向上させることができる。

#### 【0052】

##### 【発明の効果】

以上の説明から明らかなように、本発明によれば、ユニットセルを構成する素子や配線等を効率的に配置することができ、高集積化できて、解像度等を向上させることができる等の効果を奏する。

##### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施形態における要部のレイアウトを示す平面図である。

##### 【図2】

本発明の第2の実施形態における要部のレイアウトを示す平面図である。

【図3】

CMOSイメージセンサの要部の回路図である。

【図4】

従来例における要部のレイアウトを示す平面図である。

【符号の説明】

2a, 2b … フォトダイオード

3a, 3b … 読み出しトランジスタ

4a, 4b … 読み出しトランジスタ 3a, 3b のゲート

6 … フローティング拡散領域

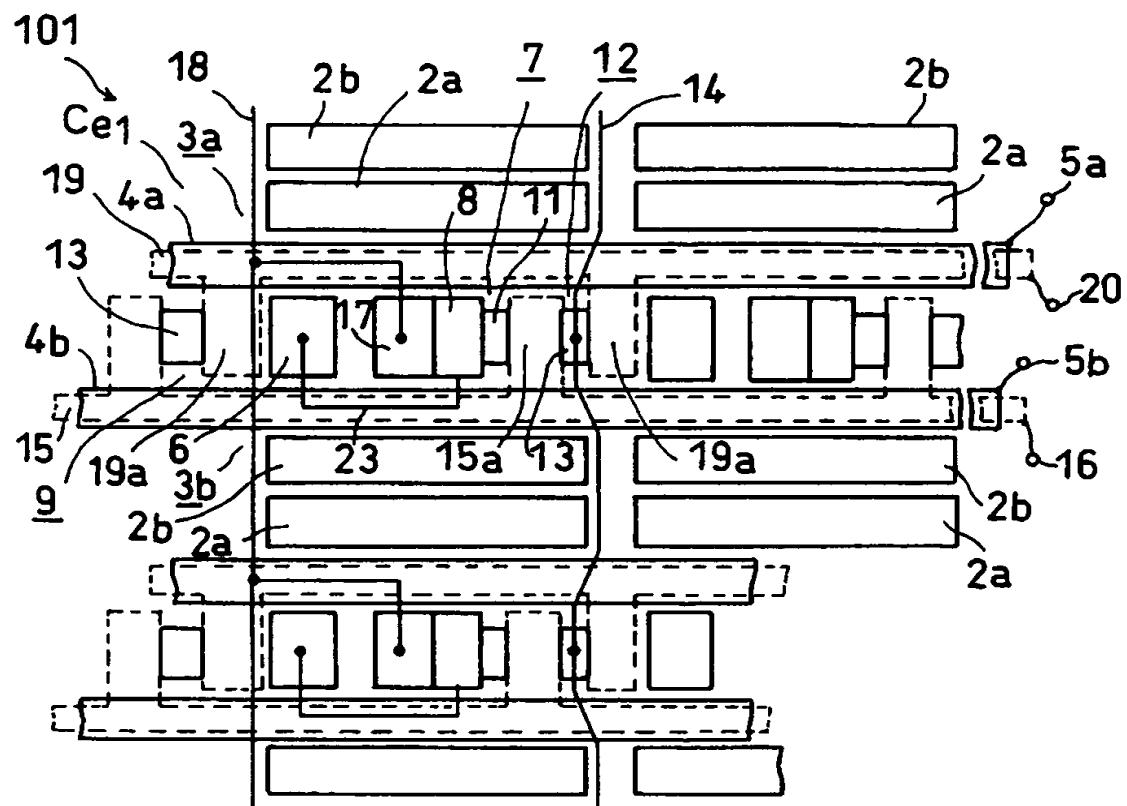
9 … リセットトランジスタ

12 … 選択トランジスタ

Ce<sub>1</sub>, Ce<sub>2</sub> … ユニットセル

【書類名】 図面

【図1】



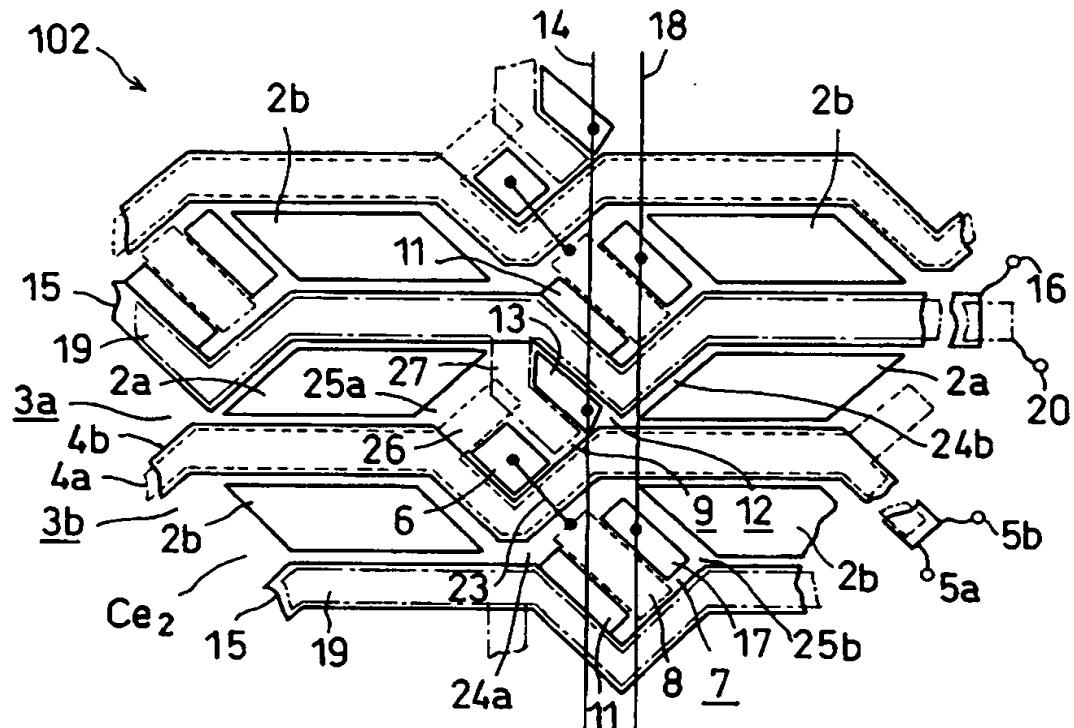
2a, 2b : フォトダイオード 2a, 3b : 読出しトランジスタ

4a, 4b : 読出しトランジスタ 3a, 3b のゲート

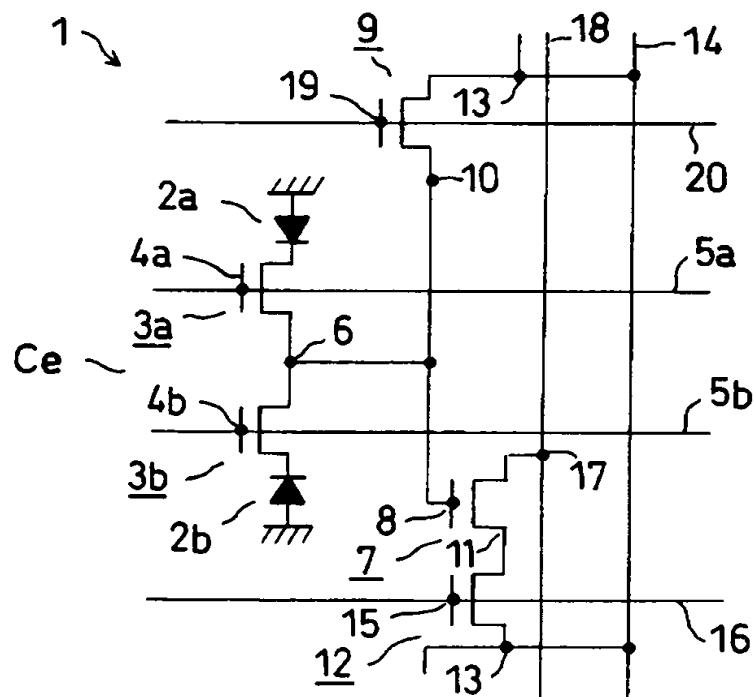
6 : フローティング拡散領域 9 : リセットトランジスタ

Ce<sub>1</sub> : ユニットセル

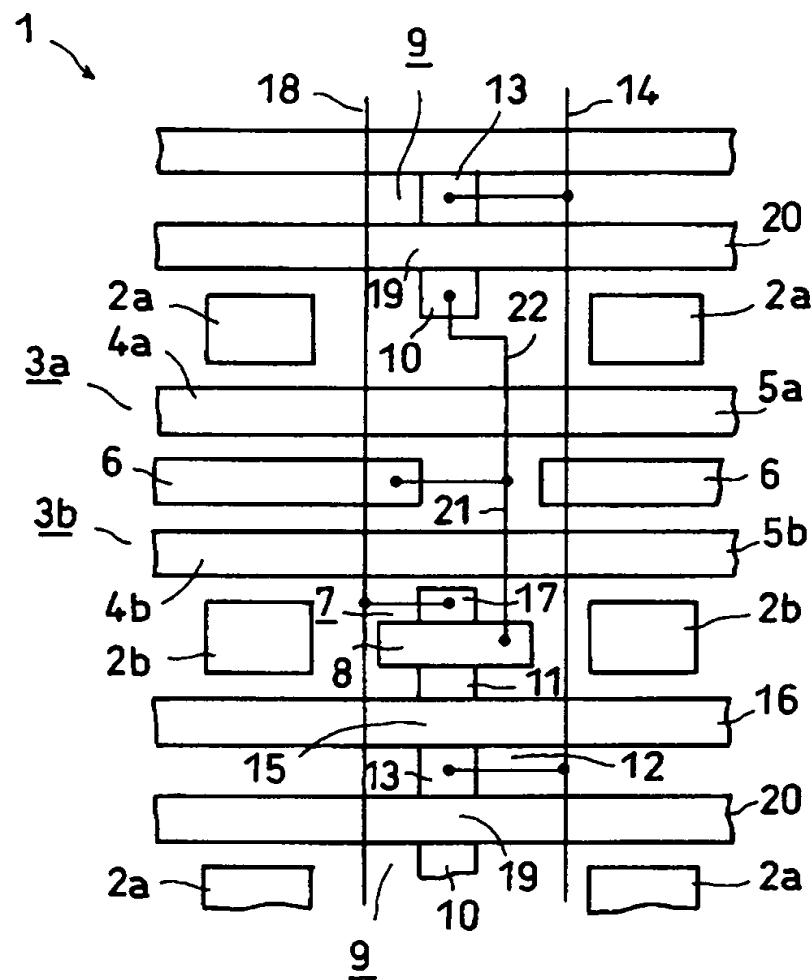
【図2】



【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 ユニットセルを構成する素子や配線等を効率的に配置することで高集積化し、解像度等を向上させたCMOSイメージセンサを提供する。

【解決手段】 2つの第1、第2のフォトダイオード2a, 2bを備える複数のユニットセルCe<sub>1</sub>を、垂直方向、水平方向に略格子状に配置したCMOSイメージセンサで、第1、第2のフォトダイオード2a, 2bを垂直方向に離間配置し、それらの間に、ドレインとなるフローティング拡散領域6を共通にする読み出しトランジスタ3a, 3bを各フォトダイオード2a, 2bに対応させるよう設け、読み出しトランジスタ3a, 3bのゲート4a, 4bに加えられた読み出し信号に応じて両フォトダイオード2a, 2bからの信号をフローティング拡散領域6に転送し、さらに転送後のフローティング拡散領域6の電位を、フローティング拡散領域6に隣接して設けたリセットトランジスタ9によってリセットするようとする。

【選択図】 図1

出願人履歴情報

識別番号 [000158150]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住所 岩手県北上市北工業団地6番6号  
氏名 岩手東芝エレクトロニクス株式会社

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝